



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06054032 A**(43) Date of publication of application: **25 . 02 . 94**

(51) Int. Cl.

H04L 29/14
H04L 1/22
H04L 29/00

(21) Application number: **04202800**(22) Date of filing: **30 . 07 . 92**(71) Applicant: **NEC CORP NEC MIYAGI LTD**

(72) Inventor: **OKADA HIDEJI**
NOGAMI HIDEO

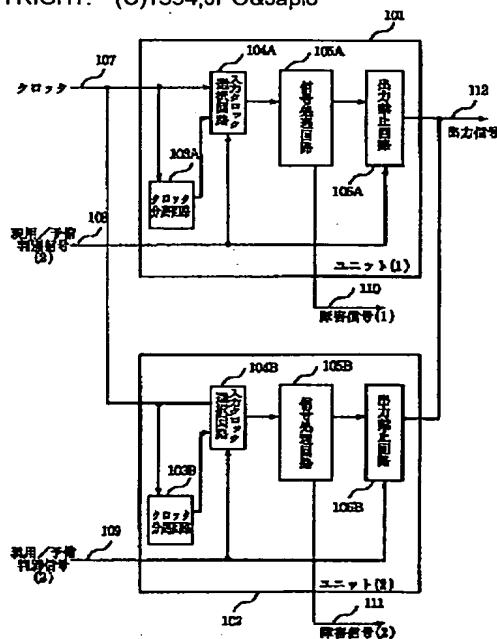
(54) LOW POWER CONSUMPTION FAULT MONITOR SYSTEM**(57) Abstract:**

PURPOSE: To attain the fault monitor while power consumption is suppressed by activating a standby digital equipment using a CMOSIC for a major component at a low speed clock.

CONSTITUTION: An inputted clock 107 is fed to units 101,102, which output a processing signal for an active equipment as an output signal 112. Active/ standby discrimination signals 108,109 are respectively fed to input clock selection circuits 104A,104B and output inhibit circuits 106A,106B in the units 101,102. Then, an active/standby discrimination signal 109 is used to designate the standby unit 102, the input clock selection circuit 104B selects a clock 107 and a lower speed clock among low speed clocks subject to frequency division by a clock frequency divider circuit 103B and outputs the selected clocks to a signal processing circuit 105B. The signal processing circuit 105B monitors a fault of the circuit set in the standby side normally together with signal processing and outputs a fault signal 111 in the presence of a fault and the

output inhibit circuit 106B inhibits the output.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-54032

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/14		4101-5K		
1/22				
29/00		8020-5K	H 0 4 L 13/ 00	3 1 1
		8020-5K		T
審査請求 未請求 請求項の数1(全 3 頁)				

(21)出願番号 特願平4-202800

(22)出願日 平成4年(1992)7月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000161253

宮城日本電気株式会社

宮城県黒川郡大和町吉岡字雷神2番地

(72)発明者 岡田 秀二

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 野上 英男

宮城県黒川郡大和町吉岡字雷神2番地宮城日本電気株式会社内

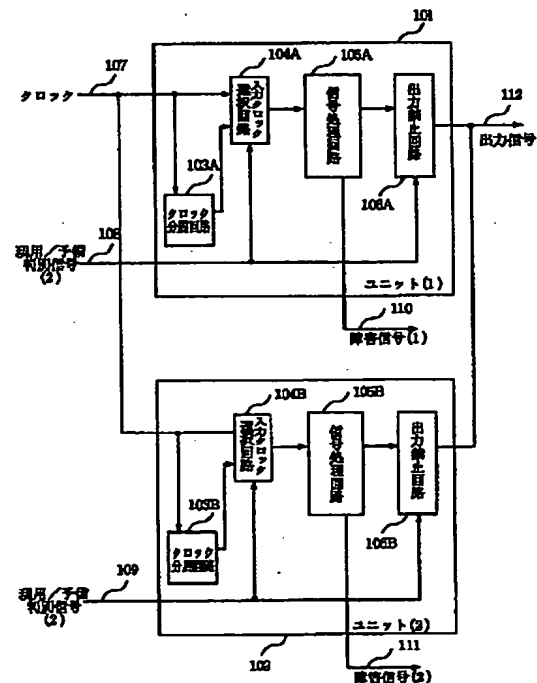
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 低消費電力障害監視方式

(57)【要約】

【目的】CMOS・ICを主要構成品とし、現用側、予備側を備えて運用するデジタル装置において、予備側の障害監視における消費電力を低減させる。

【構成】現用側、予備側を構成するユニット(1)101、ユニット(2)102のどちらか一方を現用側として出力信号を選択出力する場合、クロック分周回路103A、Bにより入力クロックを分周した低速クロック信号を発生し、予備側を低速クロック信号にて動作させることにより、現用側に比べて低消費電力にて動作させて障害状態を監視することができる。



【特許請求の範囲】

【請求項1】 使用回路が主としてCMOS・ICで構成され、かつ現用側と予備側とを備えて運用するデジタル装置の障害を監視する障害監視方式において、前記予備側の装置の障害を監視する場合には、入力クロックのビットレートを低下して動作させることにより、現用側の装置に比して消費電力を抑圧することを特徴とする低消費電力障害監視方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本方式は低消費電力障害監視方式に関し、特にCMOS・ICを主要構成部品として構成し、かつ現用側と予備側とを備えて運用するデジタル装置における予備側装置の障害を低消費電力で監視する低消費電力障害監視方式に関する。

【0002】

【従来の技術】従来のこの種のデジタル装置における予備側になっている装置の障害監視は、現用側と全く同じように動作させ、障害の監視を行っていた。

【0003】

【発明が解決しようとする課題】現用側と予備側とを備えて運用する従来のデジタル装置における予備側の装置の障害監視は、予備側の装置を常に現用側と同じように動作させて行なっていた為、消費電力が増大してしまうという欠点がある。

【0004】本発明の目的は上述した欠点を除去し、消費電力を著しく抑圧した障害監視を可能とする低消費電力障害監視方式を提供することにある。

【0005】

【課題を解決するための手段】本発明の低消費電力障害監視方式は、使用回路が主としてCMOS・ICで構成され、かつ現用側と予備側とを備えて運用するデジタル装置の障害を監視する障害監視方式において、前記予備側の装置の障害を監視する場合には、入力クロックのビットレートを低下して動作させることにより、現用側の装置に比して消費電力を抑圧する構成を有する。

【0006】

【実施例】次に、図面を参照して本発明を説明する。

【0007】図1は、本発明の一実施例のブロック図である。図1に示す実施例は、現用側の装置としてのユニット(1)101と、予備側の装置としてのユニット(2)102とを備えて成る。

【0008】また、ユニット(1)101とユニット(2)102は全く同一の構成を有し、それぞれクロックを分周するクロック分周回路103A、103Bと、低速の分周クロックか通常の入力クロックかを選択する入力クロック選択回路104A、104Bと、入力信号を処理し、また障害信号を出力する信号処理回路105A、105Bと、予備側の出力禁止動作を行なう出力禁止回路106A、106Bとを備えた構成を有する。

【0009】次に、本実施例の動作について説明する。

【0010】入力するクロック107は、ユニット

(1)101、ユニット(2)102に供給され、それぞれのユニットにおいて同様の信号処理が施されるが、それぞれのユニットで処理された信号の内現用側の処理信号を出力信号112として出力する。ユニット(1)101とユニット(2)102にはそれぞれ、自分が現用側であるか予備側であるかを判別する現用/予備判別信号(1)108、(2)109が、入力クロック選択回路104A、104Bと出力禁止回路106A、106Bに供給される。

【0011】現用側のユニット(1)101に対しては現用/予備判別信号(1)108が現用を指定し、入力クロック選択回路103Aでは、入力クロックのクロック107と、クロック分周回路103Aで分周された低速の分周クロックのうちのクロック107を選択して信号処理回路105Aに出力し、信号処理回路105Aで処理された処理信号は出力禁止回路106Aに

【0012】出力禁止回路106Aでは、現用/予備判別信号(1)108の指定により出力禁止を行なわずそのまま処理信号を出力する。

【0013】一方、予備側になっているユニット(2)102に対しては、現用/予備判別信号(2)109が予備側を指定し、入力クロック選択回路104Bは、クロック107とクロック分周回路103Bで分周された低速クロックのうちの低速クロックを選択して信号処理回路105Bに出力し、信号処理回路105Bにおいては、信号処理を行なうと同時に、常時予備側になっている回路の障害を監視し、障害があるときは障害信号(2)111を出力し、また処理信号は出力禁止回路106Bにおいて現用/予備判別信号(2)109によって出力が禁止される。

【0014】予備側になっているユニット(2)102においては、回路は常時動作しているが、入力クロック選択回路104Bにより低速の分周クロックが信号処理回路105Bに入力されているので、特にCMOS・ICにて構成されている回路部分は、動作周波数が遅くなる分消費電力を著しく減少させることができる。

【0015】

【発明の効果】以上説明したように本発明は、現用側と予備側とを備えて運用する、CMOS・ICを主要構成部品とするデジタル装置の予備側を低速クロックで動作させることにより、消費電力を著しく低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【符号の説明】

101 ユニット(1)

102 ユニット(2)

3
103A, B クロック分周回路
104A, B 入力クロック選択回路

4
* 105A, B 信号処理回路
* 106A, B 出力禁止回路

【図1】

